

10/323209
PCT/JP03/09454

日 本 国 特 許 庁
JAPAN PATENT OFFICE

25.07.03

27 JAN 2005

REC'D 12 SEP 2003

WIPD PAT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 8 月 2 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 2 2 6 1 3 9
[ST. 10/C]: [J P 2 0 0 2 - 2 2 6 1 3 9]

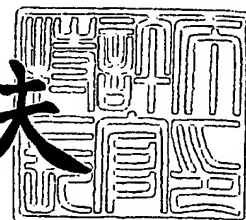
出 願 人
Applicant(s): 株式会社豊田自動織機
新潟精密株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 8 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 0 1 8 0

【書類名】 特許願

【整理番号】 2002TJ030

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/08

【発明者】

【住所又は居所】 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内

【氏名】 青山 孝志

【発明者】

【住所又は居所】 新潟県上越市西城町 2 丁目 5 番 1 3 号 新潟精密株式会社内

【氏名】 宮城 弘

【特許出願人】

【識別番号】 000003218

【氏名又は名称】 株式会社豊田自動織機

【特許出願人】

【識別番号】 591220850

【氏名又は名称】 新潟精密株式会社

【代理人】

【識別番号】 100074099

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9005945

【包括委任状番号】 0118621

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルVCO及びそのデジタルVCOを用いたPLL回路

【特許請求の範囲】

【請求項1】 水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、

与えられたアナログ信号をデジタル信号に変換する変換回路と、

上記水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく分周比で分周する分周回路と、

を備えることを特徴とするデジタルVCO。

【請求項2】 請求項1に記載のデジタルVCOであって、

上記変換回路から出力されるデジタル信号を一定周期で取り込むサンプルホールド回路を備えることを特徴とするデジタルVCO。

【請求項3】 請求項2に記載のデジタルVCOであって、

上記サンプルホールド回路は、上記変換回路で用いられるサンプリング時間よりも周期が長く、ホールド時間内に上記変換回路から取り込んだデジタル信号を保持し出力することを特徴とするデジタルVCO。

【請求項4】 請求項1に記載のデジタルVCOであって、

上記変換回路で発生する上記デジタル信号のオフセット誤差を補正する補正回路を備えることを特徴とするデジタルVCO。

【請求項5】 請求項1に記載のデジタルVCOであって、

上記分周比の可変範囲を制限する制限回路を備えることを特徴とするデジタルVCO。

【請求項6】 入力信号と基準信号との位相差を調整するPLL回路において、

上記入力信号と基準信号との位相差を検出する検出回路と、

上記位相差を示す信号をデジタル信号に変換する変換手段と、

水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、

上記水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく分周比で分周する分周回路と、

を備え、

上記分周回路で周波数分周される信号に基づいて、上記入力信号と上記基準信号との位相差を調整することを特徴とする PLL 回路。

【請求項 7】 請求項 6 に記載の PLL 回路であって、

上記変換回路から出力されるデジタルデータを一定周期で取り込むサンプルホールド回路を備えることを特徴とする PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル VCO (Voltage Controlled Oscillator) とそのデジタル VCO を用いた PLL (Phase Locked Loop) 回路に関する。

【0002】

【従来の技術】

図 4 (a) は、従来の VCO の一例を示す図である。

図 4 (a) に示すように、従来における VCO 40 は、例えば、2 つの定電流源 41 と、2 つのスイッチ 42 と、コンデンサ 43 と、コンパレータ 44 と、可変基準電圧回路 45 とから構成される。

【0003】

VCO 40 において、定電流源 41 の電流量は、制御電圧 V_{in} に基づいて可変され、スイッチ 42 の ON/OFF の動作は、コンパレータ 44 の出力信号に基づいて制御されている。このように、制御電圧 V_{in} 及びコンパレータ 44 の出力発振信号（以下、発振信号という）に基づいて、定電流源 41 の電流量及びスイッチ 42 の動作を制御することによりコンデンサ 43 で充放電される電流量を可変させ、コンパレータ 44 の ON/OFF の動作を制御し、コンパレータ 44 から出力される発振信号の周波数を可変させている。なお、可変基準電圧回路 45 から出力される基準電圧は、コンパレータ 44 から出力される発振信号の High レベル又は Low レベルに基づいて可変され、コンパレータ 44 の一端子に入力される。

【0004】

また、図4 (b) に示すVCOも従来のVCOの一例を示す図である。

図4 (b) に示すVCO46は、リングオシレータと呼ばれるもので、インバータ47から出力される発振信号をインバータ47の入力部に戻すことにより、所定の周波数をもつ発振信号を生成している。発振信号の周波数は、連結されるインバータ47の個数やインバータ47に入力されるバイアス電流に応じて所定の周波数に変換することができ、例えば、定電流源48に入力されるバイアス電流量を増やすことによって、インバータ47の信号切替動作時間を短くし、発振信号の周波数を高くすることができる。

【0005】

このように、従来のVCOは、入力される制御電圧 V_{in} (アナログ値) に基づいて、発振信号の周波数を可変させていた。

【0006】

【発明が解決しようとする課題】

しかしながら、従来のVCOの出力する発振信号の周波数は、VCOを構成するトランジスタ (不図示)、コンデンサ43、又は、抵抗 (不図示) などの素子の特性に大きく依存しており、それぞれの素子の特性がばらつくと、VCOのフリーラン周波数が大きくばらついてしまうということがあった。

【0007】

そして、上記VCOをPLL回路に適用する場合において、フリーラン周波数が大きくばらついてしまうと、そのフリーラン周波数がキャプチャレンジから外れてしまい入力信号の位相をロックすることができなくなり、PLL回路として機能しなくなるという問題があった。

【0008】

そこで、従来では、このようなフリーラン周波数のばらつきを抑えるために、上記VCOに、ばらつき調整回路を設けていた。

図4 (c) は、例えば、図4 (a) のVCO40に、ばらつき調整回路50を備えた回路構成を示す図である。

【0009】

図4 (c) に示すばらつき調整回路50は、コンパレータ44から出力される発振信号の周波数が所望の周波数になるように、ばらつき防止制御電圧 V_{inb} を定電流源41に与え、VCOを構成する素子の特性によるフリーラン周波数のばらつきを抑えている。すなわち、従来のVCOは、製品出荷前に、発振信号の周波数をモニタし、そのモニタされた周波数に基づいて発振信号の周波数を制御することによって、素子の特性のばらつきを補正している。

【0010】

しかしながら、図4 (c) に示すように、ばらつき調整回路50を備え、フリーラン周波数がばらつかないように設定しても、例えば、製品出荷後、ばらつき補正時と周辺温度が異なる場所においては、素子の温度特性によるフリーラン周波数の変動が起きることがあった。すなわち、VCOにばらつき調整回路50を備えることによって、各素子の製造ばらつきによるフリーラン周波数のばらつきを抑えることはできても、各素子の温度特性のばらつきによるフリーラン周波数のばらつきを抑えることはできなかった。

【0011】

また、上記ばらつき調整回路50では、電源電圧の変化によるフリーラン周波数の変動を補正することが難しかった。すなわち、例えば、製品出荷前に、ばらつき調整回路50によってフリーラン周波数を所望な周波数に補正しても、製品出荷後、ユーザの操作によって上記VCO49の電源電圧が変化した場合、所望なフリーラン周波数が得られないという問題があった。

【0012】

このように、従来のVCOでは、素子の製造ばらつきによるフリーラン周波数のばらつきを抑えることはできても、温度特性の変動や電源電圧の変動によるフリーラン周波数のばらつきを抑えることができず、PLL回路に適用した場合は、そのフリーラン周波数がキャプチャレンジから外れ入力信号の位相がロックされないということがあった。

【0013】

そこで、本発明では、使用される素子の製造ばらつきや温度特性の変動、及び電源電圧の変動に対しても、発振信号の周波数を所望な周波数に設定することが

できるデジタルVCOを提供することを目的とする。

また、使用される素子の製造ばらつきや温度特性の変動、及び電源電圧の変動に対しても、動作が良好なPLL回路を提供することを目的とする。

【0014】

【課題を解決するための手段】

上記の課題を解決するために本発明では、以下のように構成する。

すなわち、本発明のデジタルVCOは、水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、与えられたアナログ信号をデジタル信号に変換する変換回路と、上記水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく分周比で分周する分周回路とを備える。

【0015】

このように、素子の製造ばらつきや温度特性、及び電源電圧変化に依らない周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ信号を生成することが可能なデジタルVCOを構成しているので、素子の製造ばらつきや温度特性、及び電源電圧変化による出力信号の周波数変動を少なくすることが可能となる。

【0016】

また、上記デジタルVCOは、上記変換回路から出力されるデジタル信号を一定周期で取り込むサンプルホールド回路を備える構成としてもよい。

そして、上記サンプルホールド回路は、上記変換回路で用いられるサンプリング時間よりも周期が長く、ホールド時間内に上記変換回路から取り込んだデジタル信号を保持し出力する構成であることが望ましい。

【0017】

これより、上記変換回路においてサンプリング時間が変化しても一定のサンプリング周期でデジタル信号を上記分周回路に出力することができるので、上記分周回路の誤動作を防止することが可能となる。

また、上記デジタルVCOは、上記変換回路で発生する上記デジタル信号のオフセット誤差を補正する補正回路を備える構成としてもよい。

【0018】

上記オフセット誤差は、例えば、上記変換回路における製造上のばらつきによって生じる誤りのあるデジタルデータと製造上のばらつきに依らない正しいデジタルデータとの誤差を示すものであって、このように、出力されるデジタル信号の値が所望な値になっていない場合（誤差がある場合）に、デジタル信号の値が所望な値となるようにデジタル信号にオフセットをかけ、上記変換回路の製造ばらつきによって生じるオフセット誤差を補正することが可能となる。

【0019】

また、上記デジタルVCOは、上記分周比の可変範囲を制限する制限回路を備える構成としてもよい。

これより、デジタルVCO出力の発振周波数の可変範囲を制限することが可能となる。

【0020】

また、本発明のPLL回路は、入力信号と基準信号との位相差を調整するPLL回路において、上記入力信号と基準信号との位相差を検出する検出回路と、上記位相差を示す信号をデジタル信号に変換する変換手段と、水晶振動子を用いて所定周波数の信号を生成する水晶発振回路と、該水晶発振回路で生成される信号の周波数を、上記デジタル信号に基づく分周比で分周する分周回路とを備え、上記分周回路で周波数分周される信号に基づいて、上記入力信号と上記基準信号との位相差を調整する。

【0021】

このように、周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ信号を生成することが可能なデジタルVCOをPLL回路に適用するので、そのデジタルVCOのフリーラン周波数はばらつきが少なく、キャプチャレンジから外れて入力信号の位相がロックされない状態となることを防止することが可能となる。

【0022】

また、上記PLL回路は、上記変換回路から出力されるデジタルデータを一定周期で取り込むサンプルホールド回路を備える構成としてもよい。

これより、上記変換回路においてサンプリング時間が変化しても一定のサンプ

リング周期でデジタル信号を上記分周回路に出力することができるので、上記分周回路の誤動作を防止することが可能となる。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて説明する。

図1は、本発明の実施形態のデジタルVCOの原理構成を示す図である。

図1において、デジタルVCO10は、与えられたアナログ信号をデジタル信号に変換するA/Dコンバータ11（請求項に記載の変換回路）と、水晶振動子を備え、ある所定の周波数をもつ信号を生成する水晶発振回路12（請求項に記載の水晶発振回路）と、上記デジタル信号に基づいて分周比を可変させ、その分周比に基づいて水晶発振回路12で生成された信号の周波数を分周する可変分周回路13（請求項に記載の分周回路）とを備えて構成される。例えば、水晶発振回路12において生成される発振信号の周波数が f_{osc} である場合、可変分周回路13は、入力されるデジタル信号に基づいて、分周比をN（1以上の整数）に可変し、周波数が f_{osc}/N である発振信号を出力する。

【0024】

上記水晶発振回路12は、水晶振動子の性質上、製造ばらつきや温度特性、及び電源電圧変化による周波数の変動の少ない信号を生成することができる。

このように、周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ発振信号を生成することが可能なデジタルVCOを構成することによって、製造ばらつきや温度特性、及び電源電圧変化によるフリーラン周波数のばらつきを少なくすることが可能となる。なお、上記可変分周回路13は、例えば、一般的に知られる入力信号の周波数をデジタル信号に基づいて分周するプログラマブルディバイダであって、その詳細な回路構成の図や説明は省略する。また、同様に、A/Dコンバータ11も一般的に知られている回路構成により実現可能であるので、その詳細な回路構成の図や説明は省略する。

【0025】

次に、例えば、上記デジタルVCO10を備えるPLL回路の構成を説明する

図 2 は、デジタル VCO 10 を備える PLL 回路の構成を示す図である。なお、図 2 に示す PLL 回路は、FM 受信機における PLL 回路であるが、デジタル VCO 10 は、FM 受信機に限らず、AM 受信機やオーディオ装置などにおける様々な位相ロック回路に適用可能である。

【0026】

図 2 に示す PLL 回路 20 は、FM 受信機で受信されるコンポジット信号の位相と基準信号の位相との位相差に基づく信号（位相差の電圧値を示す電圧値であって、以下、アナログ信号という）を生成する位相検波回路 21（請求項に記載の検出回路）と、PLL 回路 20 の制御ループを安定させるために必要なループフィルタ 22 と、デジタル VCO 10 と、デジタル VCO 10 から出力される基準信号の周波数（例えば、76 kHz）を 2 分周する第 1 の分周回路 23 と、更に第 1 の分周回路で分周された基準信号の周波数（例えば、38 kHz）を 2 分周する第 2 の分周回路 24 とを備えて構成されている。

【0027】

図 2 に示す PLL 回路 20 は、コンポジット信号に含まれるパイロット信号（19 kHz）に同期した基準発振信号（38 kHz）を生成するための回路であり、この基準発振信号を 2 分周した信号（19 kHz）とパイロット信号との位相差に基づいて、所望な周波数をもつ基準発振信号をデジタル VCO 10 において生成する。そして、この PLL 回路 20 から出力された基準発振信号を、不図示のミキサなどでコンポジット信号と混合することなどで、所望の音声信号を得る。

【0028】

このように、デジタル VCO 10 を PLL 回路 20 に適用した場合、デジタル VCO 10 のフリーラン周波数はばらつきが少なく安定するので、キャプチャレンジから外れて入力信号の位相がロックされない状態となることを防止することが可能となる。

【0029】

次に、上記デジタル VCO 10 を詳細に説明する。

図3は、上記デジタルVCO10を詳細に説明するための図である。

図3に示すように、デジタルVCO10は、A/Dコンバータ11と可変分周回路13との間に、オフセット調整回路30（請求項に記載の補正回路）と、LATCH回路31（請求項に記載のサンプルホールド回路）と、変動範囲調整回路32（請求項に記載の制限回路）とを設けている。また、第3の分周回路33は、水晶発振回路12から出力される発振信号の周波数をK（1以上の整数）分周し、そのK分周された信号をA/D変換動作のためのクロック信号としてA/Dコンバータ11に入力している。なお、オフセット調整回路30、LATCH回路31、及び変動範囲調整回路32は、一般的に知られている回路構成によって実現可能であるので、その詳細な回路構成の図や説明は省略する。

【0030】

上記オフセット調整回路30は、外部において予め設定される調整信号に基づいて、A/Dコンバータ11における製造ばらつきや温度特性によるデジタル信号のオフセット誤差を補正するための回路である。なお、上述のオフセット誤差を補正することとは、例えば、本来、A/Dコンバータ11から出力されるべき、デジタル信号のデータ値が「001011」というデータであるはずが、A/Dコンバータ11の製造ばらつきや温度特性により「001010」というデータが出力されるのを、マイクロコンピュータなどの外部制御回路から入力される調整信号や、一旦内部メモリに取り込まれたオフセット調整信号などによって「001011」に補正（オフセット）させることである。

【0031】

このように、オフセット調整回路30をデジタルVCO10に備えることによって、A/Dコンバータ11の製造ばらつきや温度特性によるデジタル信号のオフセット誤差を補正することができ、デジタルVCO10の誤作動を防止することが可能となる。

【0032】

また、上記LATCH回路31は、オフセット調整回路30から入力されたデータを一定周期でサンプリングし、一定周期でデータを出力するための回路である。

すなわち、A/Dコンバータ11のサンプリング時間よりも時間の長いサンプリング時間でデジタル信号のデータを出力するための回路である。

【0033】

これにより、A/Dコンバータ11においてサンプリング時間が変化しても一定のサンプリング周期でデジタル信号を可変分周回路13に出力することができるので、可変分周回路13の誤動作を防止することができる。

また、上記変動範囲調整回路32は、可変分周回路13の分周比の変動範囲を制限するための回路である。

【0034】

すなわち、変動範囲調整回路32は、入力されるデジタル信号のデータ値が予め決められている下限値以下である場合、その下限値に固定して出力し、また、入力されるデジタル信号のデータ値が予め決められている上限値以上である場合、その上限値に固定して出力する。

【0035】

このように、変動範囲調整回路32によりデジタルVCO10の発振周波数の変動範囲を制限することにより、大きな位相差を示すデジタル信号が可変分周回路13に入力されることを防ぎ、PLL回路20の誤動作を防止することが可能となる。

【0036】

なお、本実施形態のオフセット調整回路30は、上述したように、製品出荷前に外部からの調整信号に基づいてA/Dコンバータ11から出力されるデジタル信号のオフセット誤差を補正する構成であるが、オフセット調整回路30の出力するデジタル信号と所定の基準信号とを比較してその比較結果に基づいてデジタル信号のオフセット誤差を調整するようにしてもよい。

【0037】

【発明の効果】

本発明によれば、周波数変動の少ない水晶振動子を使用し、その水晶振動子に基づいて生成される信号から所望の周波数をもつ信号を生成することが可能なデジタルVCOを構成しているので、素子の製造ばらつきや温度特性、及び電源電

圧変化による出力信号の周波数変動を少なくすることが可能となる。

【0038】

また、本発明のデジタルVCOをPLL回路に適用した場合、そのデジタルVCOのフリーラン周波数はばらつきが少ないので、キャプチャレンジから外れて入力信号の位相がロックされない状態となることを防止することが可能となる。

【図面の簡単な説明】

【図1】

本発明の実施形態のデジタルVCOの原理構成を示す図である。

【図2】

デジタルVCOが備えられるPLL回路の構成を示す図である。

【図3】

デジタルVCO10を詳細に説明するための図である。

【図4】

(a) 及び (b) は、従来のVCOを示す図である。(c) は、従来のVCOに、ばらつき調整回路を備えた回路構成を示す図である。

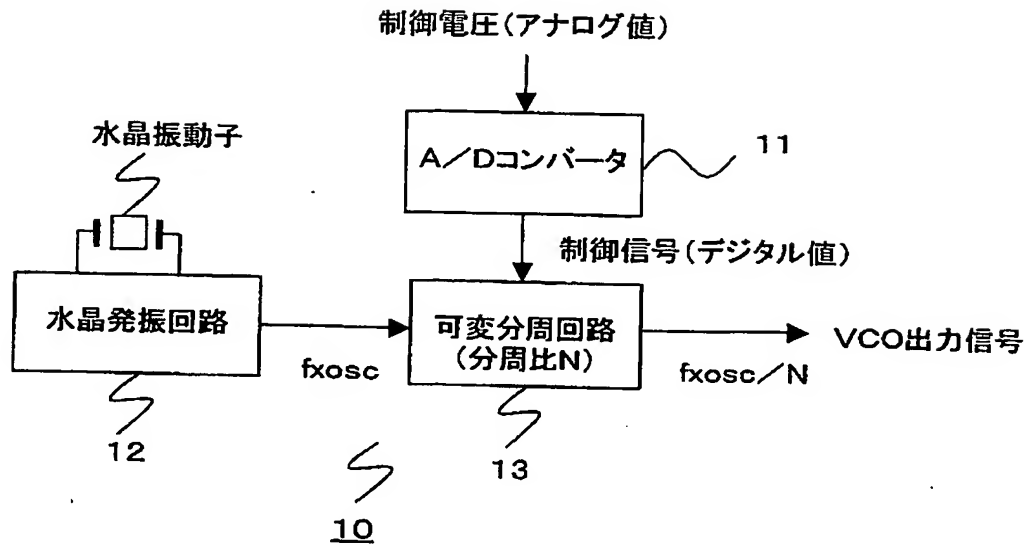
【符号の説明】

- 10 デジタルVCO
- 11 A/Dコンバータ
- 12 水晶発振回路
- 13 可変分周回路
- 20 PLL回路
- 21 位相検波回路
- 22 ループフィルタ
- 23 第1の分周回路
- 24 第2の分周回路
- 30 オフセット調整回路
- 31 LATCH回路
- 32 変動範囲調整回路
- 33 第3の分周回路

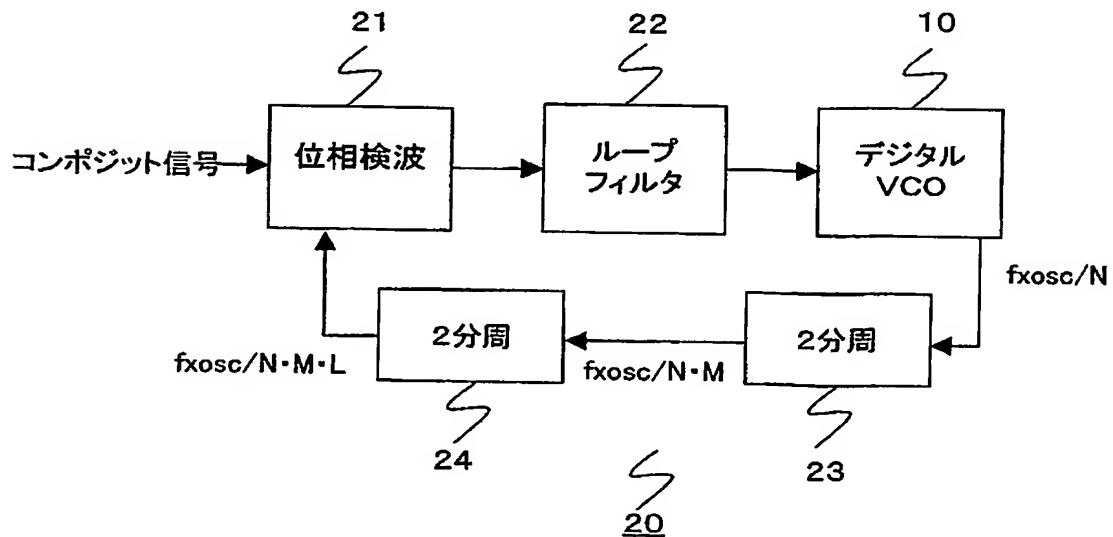
- 4 0 V C O
- 4 1 定電流源
- 4 2 スイッチ
- 4 3 コンデンサ
- 4 4 コンパレータ
- 4 5 可変基準電圧回路
- 4 6 V C O
- 4 7 インバータ
- 4 8 定電流源
- 4 9 V C O
- 5 0 ばらつき調整回路

【書類名】 図面

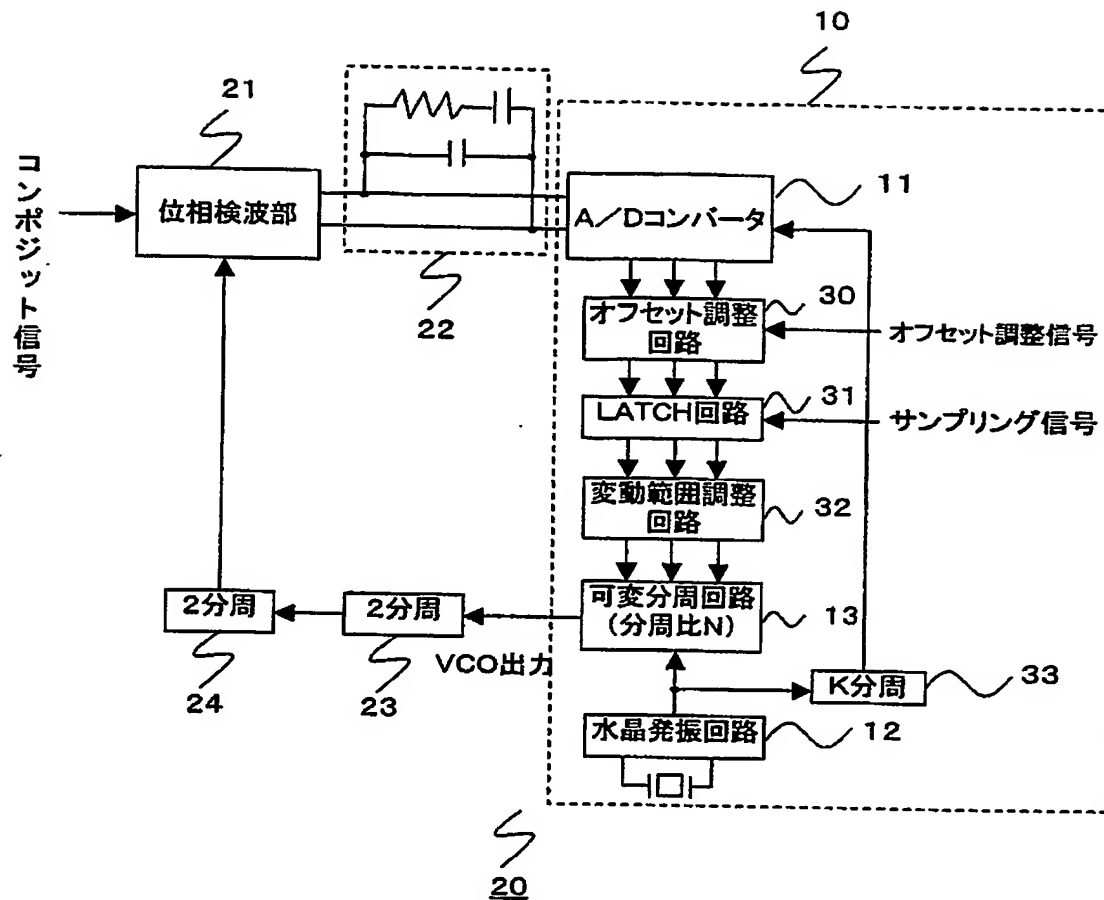
【図 1】



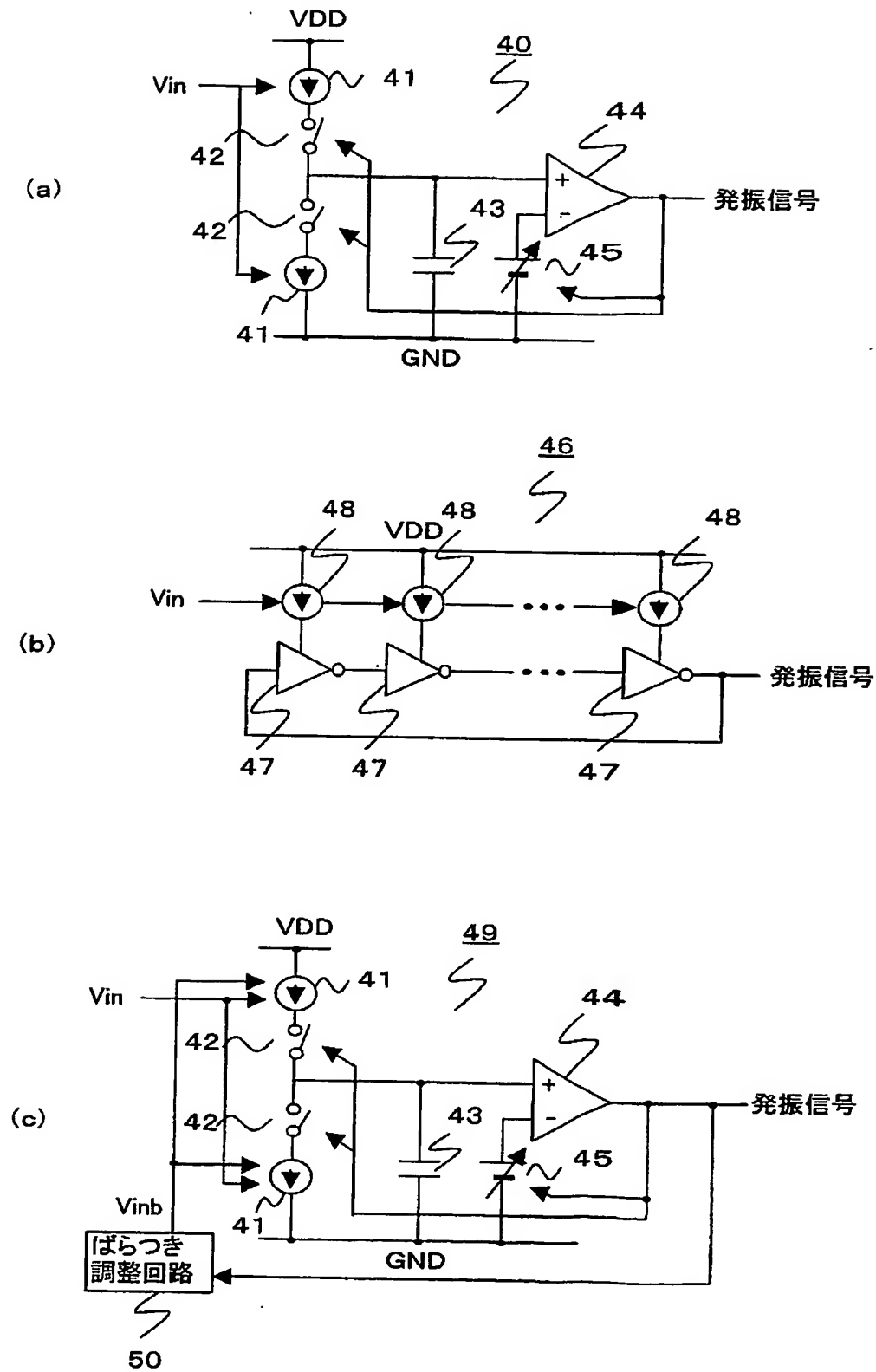
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 使用される素子の製造ばらつきや温度特性の変動、及び電源電圧の変動に対しても、出力信号の周波数を所望な周波数に設定することができるデジタル VCO を提供することを目的とする。

【解決手段】 与えられたアナログ信号をデジタル信号に変換する A/D コンバータ 11（変換回路）と、水晶振動子を備え、ある所定の周波数をもつ信号を生成する水晶発振回路 12（水晶振動子）と、上記デジタル信号に基づいて分周比を可変させ、その分周比に基づいて水晶発振回路 12 で生成された信号の周波数を分周する可変分周回路 13（分周回路）とを備えてデジタル VCO を構成する。

【選択図】 図 1

特願 2002-226139

出 願 人 履 歴 情 報

識別番号

[000003218]

1. 変更年月日

2001年 8月 1日

[変更理由]

名称変更

住 所

愛知県刈谷市豊田町2丁目1番地

氏 名

株式会社豊田自動織機

特願 2 0 0 2 - 2 2 6 1 3 9

出 願 人 履 歷 ・ 情 報

識別番号

[5 9 1 2 2 0 8 5 0]

1. 変更年月日

1 9 9 6 年 5 月 9 日

[変更理由]

住所変更

住 所

新潟県上越市西城町 2 丁目 5 番 1 3 号

氏 名

新潟精密株式会社